



(12)发明专利

(10)授权公告号 CN 105426316 B

(45)授权公告日 2018.02.13

(21)申请号 201510782745.2

(22)申请日 2015.11.09

(65)同一申请的已公布的文献号  
申请公布号 CN 105426316 A

(43)申请公布日 2016.03.23

(73)专利权人 北京大学  
地址 100871 北京市海淀区颐和园路5号

(72)发明人 孙广宇 张超

(74)专利代理机构 北京万象新悦知识产权代理  
事务所(普通合伙) 11360

代理人 王岩

(51)Int.Cl.  
G06F 12/02(2006.01)  
G11B 33/14(2006.01)

(56)对比文件  
CN 103810119 A,2014.05.21,

CN 102483947 B,2015.04.01,

CN 104321823 A,2015.01.28,

CN 104520825 A,2015.04.15,

US 9042151 B2,2015.05.26,

US 8772889 B2,2014.07.08,

US 8140739 B2,2012.03.20,

何炎祥 等.新型非易失性存储器架构的缓存优化方法综述.《计算机研究与发展》.2015,第1225-1241页.

马晓萍 等.磁热噪音下纳米铁磁线磁畴壁脱钉行为.《科学通报》.2013,第58卷(第28-29期),

孙广宇 等.面向非易失内存的结构和系统级设计与优化综述.《华东师范大学学报(自然科学版)》.2014,(第2014年第5期),

审查员 赵识谦

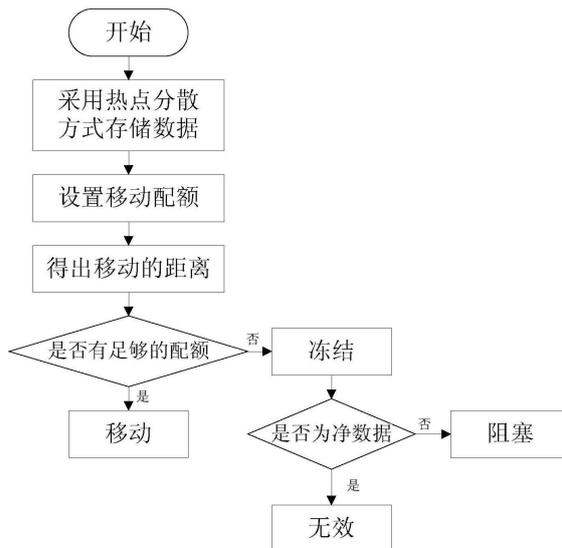
权利要求书2页 说明书4页 附图2页

(54)发明名称

一种基于配额控制温度的赛道存储芯片及其控制方法

(57)摘要

本发明公开了一种基于配额控制温度的赛道存储芯片及其控制方法。本发明的赛道存储芯片包括：衬底、赛道存储条、填充层和散热装置；本发明在一个程序运行区间内设置移动配额，从而从时间上进行热点分散；并且，将一个数据块存储在互不相邻的多个赛道存储条上，从空间上进行热点分散。本发明提供了一套赛道存储器因为移动操作而导致温度上升的控制方法；综合考虑了时间、空间上的热点分散的方法，可以尽可能减小芯片的温度升高；模拟显示，本发明的方法导致的性能损失平均只有5%。



1. 一种基于配额控制温度的赛道存储芯片,其特征在于,所述赛道存储芯片包括:衬底、赛道存储条、填充层和散热装置;其中,在衬底上生长多条平行的纳米线作为赛道存储条;在纳米线的间隙及上面形成填充层;在填充层上设置散热装置;每一个赛道存储条分成M个域,形成域序列,并且每一个赛道存储条上均匀地分布N个访问端,每个访问端负责访问一段域;一个数据块的存储采用热点分散方式,即一个数据块分散在k个赛道存储条上的域序列中的域坐标相同的域上进行存储,并且这k个赛道存储条互不相邻,用来共同存储一个数据块的k个赛道存储条的集合形成一个存储条簇;每一个数据块所在的赛道存储条中的域序列的位置对应一个端口位置寄存器;根据芯片的导热系数,得到散热区域的面积所能容纳的存储赛道条的个数为 $1/\beta$ ,则单位面积内同一个数据块所占的赛道存储条的个数和散热区域内的总磁条数的比为 $\beta$ ,其中,M、N、k和 $1/\beta$ 均为自然数;所述赛道存储器作为CPU中的末级高速缓存,该级存储通常为组相连,每个数据块包含标签和数据两部分。

2. 如权利要求1所述的赛道存储芯片,其特征在于,对于一个赛道存储条上M个域分布N个访问端,若M是N的倍数,则每个访问端访问M/N个域,若M不是N的倍数,则每一个访问端访问M/N上取整,即 $[M/N]$ 。

3. 如权利要求1所述的赛道存储芯片,其特征在于,所述散热区域是等温体的一片区域,芯片里是一个解码阵列。

4. 如权利要求1所述的赛道存储芯片,其特征在于,所述衬底采用单晶硅;所述纳米线采用晶态二氧化硅,由硅衬底自然氧化而来;所述填充层采用无定形态的二氧化硅。

5. 一种基于配额控制温度的赛道存储芯片的温度控制方法,其特征在于,所述控制方法包括以下步骤:

1) 采用热点分散方式存储数据:一个数据块分散在k个赛道存储条上的域序列中的序列号相同的域上进行存储,并且这k个赛道存储条互不相邻,用来共同存储一个数据块的k个赛道存储条的集合形成一个存储条簇,根据芯片的导热系数计算,得到散热区域的面积所能容纳的存储赛道条的个数为 $1/\beta$ ,则单位面积内同一个数据块所占的赛道存储条的个数与散热区域内的总赛道存储条的个数的比为 $\beta$ ,其中,k和 $1/\beta$ 均为自然数;

2) 在一个程序运行区间开始时,控制器设置在一个程序运行区间内能够移动的步数设定移动“配额”,配额与程序运行区间的比值为 $\alpha$ ;

3) 当一个访问数据块的请求到达赛道存储器时,请求根据访问的地址进行解码,得到请求访问地址解码的域坐标,每一个存储条簇都有一个端口位置寄存器用来指示访问端口与存储条簇所在的域序列的相对位置,通过比较端口位置寄存器的数值和请求访问地址解码的域坐标,得出需要移动的距离;

4) 控制器从剩余的配额中减去移动的配额开销,如果配额足够,存储条簇所在的多个赛道存储条并行移动可以执行读取数据块;如果不够,被访问的那个数据块将被当作冻结块,进入步骤5);

5) 检查冻结块的标签中的标记位,如果它是净数据,控制器将冻结块的标签中有效数据位设为无效,并且返回控制器一个失效数据,使请求可以继续向下一级存储发起数据请求;如果是脏数据,控制器将会被阻塞,等待下一个程序运行区间的开始;其中,将赛道存储器作为CPU中的末级高速缓存,该级存储通常为组相连,每个数据块包含标签和数据两部分。

6. 如权利要求5所述的控制方法,其特征在于,在步骤1)中,按照数据块的比特数分配在k个赛道存储条上,每一个比特分配在一个赛道存储条上。

7. 如权利要求5所述的控制方法,其特征在于,在步骤1)中,根据导热的速度和产热间隔进行计算 $\beta$ 。

8. 如权利要求5所述的控制方法,其特征在于,在步骤2)中,配额定义为在一个程序运行区间内可以移动的总步数;一个域移动到相邻的域为一步;一个程序运行区间内的配额表示为 $\alpha$ 乘以程序运行区间的长度与移动一步的时间开销的比值。

9. 如权利要求5所述的控制方法,其特征在于,所述配额分成两种:净数据配额和脏数据配额;一个访问净数据的请求只能使用净数据配额,而访问脏数据的请求优先使用脏数据配额,在脏数据配额不够时可以使用净数据配额。

10. 如权利要求5所述的控制方法,其特征在于, $\alpha$ 和 $\beta$ 乘积不大于 $1/40$ ,以保证热稳定性。

## 一种基于配额控制温度的赛道存储芯片及其控制方法

### 技术领域

[0001] 本发明涉及赛道存储技术,尤其涉及一种基于配额控制温度的赛道存储芯片及其控制方法。

### 背景技术

[0002] 赛道存储器(Racetrack Memory),又称为磁畴壁存储器(Domain wall memory),是一种基于自旋磁材料磁畴壁移动特性存储数据的存储器。赛道存储由于其超高的存储密度和访问速度,目前正逐渐成为学界、业界的研究热点。赛道存储利用存储在条状磁材料上的大量磁畴来存储数据。然而为支持高密度的存储,赛道存储引入了新的操作:移动(shift)。一个赛道存储条(Racetrack memory Stripe,RS)分成多个等长的域,域的排列称为域序列,并且均匀的分布一些访问端,每个访问端负责访问一段域。为访问这一段域中的每个域,需要将域在RS上左右移动(只有域相对于RS的移动,访问端和RS物理上不运动),使得所需要访问的域对应在访问端处。现有技术中,移动操作依靠磁畴壁的移动来完成:磁畴壁在自旋电流驱动下,在纳米线上移动并最终停止在锚定区域(pinning site)。然而计算和实验均表明,移动会产生大量热量,从而导致存储芯片温度的变化。温度剧烈升高会导致赛道存储电气参数改变,磁畴壁移动速度发生漂移,存储材料稳定性下降,严重时甚至导致存储材料烧毁。目前,现有技术均不能保证赛道存储在正常工作时温度不超过规定指标,继而没有技术能够控制其移动密度。

### 发明内容

[0003] 为了克服上述现有技术的不足,本发明提供一种针对赛道存储移动操作的基于配额的温度控制方法;通过本发明的方法可以在基本不影响性能的情况下,将赛道存储由移动操作引起的温度上升控制在合理的范围内。

[0004] 本发明的一个目的在于提供一种基于配额控制温度的赛道存储芯片。

[0005] 本发明的基于配额控制温度的赛道存储芯片包括:衬底、赛道存储条、填充层和散热装置;其中,在衬底上生长多条平行的纳米线作为赛道存储条;在纳米线的间隙及上面形成填充层;在填充层上设置散热装置;每一个赛道存储条分成M个域,形成域序列,并且每一个赛道存储条上均匀地分布N个访问端,每个访问端负责访问一段域;一个数据块的存储采用热点分散方式,即一个数据块分散在k个赛道存储条上的域序列中的域坐标相同的域上进行存储,并且这k个赛道存储条互不相邻,用来共同存储一个数据块的k个赛道存储条的集合形成一个存储条簇(group);每一个数据块所在的赛道存储条中的域序列的位置对应一个端口位置寄存器;根据芯片的导热系数,得到散热区域的面积所能容纳的存储赛道条的个数为 $1/\beta$ ,则单位面积内同一个数据块所占的赛道存储条的个数和散热区域内的总磁条数的比为 $\beta$ ,其中,M、N、k和 $1/\beta$ 均为自然数。

[0006] 对于一个赛道存储条上M个域分布N个访问端,若M是N的倍数,则每个访问端访问M/N个域,若M不是N的倍数,则每一个访问端访问M/N上取整,即 $[M/N]$ 。

[0007] 散热区域是等温体的一片区域,芯片里通常是一个解码阵列。

[0008] 衬底采用单晶硅;纳米线采用晶态二氧化硅,由硅衬底自然氧化(native oxidation)而来;填充层采用无定形态的二氧化硅。

[0009] 本发明的另一个目的在于提供一种基于配额控制温度的赛道存储芯片的温度控制方法。

[0010] 本发明的基于配额控制温度的赛道存储芯片的温度控制方法,包括以下步骤:

[0011] 1) 采用热点分散方式存储数据:一个数据块分散在k个赛道存储条上的域序列中的序列号相同的域上进行存储,并且这k个赛道存储条互不相邻,用来共同存储一个数据块的k个赛道存储条的集合形成一个存储条簇,根据芯片的导热系数计算,得到散热区域的面积所能容纳的存储赛道条的个数为 $1/\beta$ ,则单位面积内同一个数据块所占的赛道存储条的个数与散热区域内的总赛道存储条的个数的比为 $\beta$ ;

[0012] 2) 在一个程序运行区间(period)开始时,控制器设置在一个程序运行区间内能够移动的步数设定移动“配额”(quota),配额与程序运行区间的比值为 $\alpha$ ;

[0013] 3) 当一个访问数据块的请求到达赛道存储器时,请求根据访问的地址进行解码,得到请求访问地址解码的域坐标,每一个存储条簇都有一个端口位置寄存器用来指示访问端口与存储条簇所在的域序列的相对位置,通过比较端口位置寄存器的数值和请求访问地址解码的域坐标,得出需要移动的距离;

[0014] 4) 控制器从剩余的配额中减去移动的配额开销,如果配额足够,存储条簇所在的多个赛道存储条并行移动可以执行读取数据块;如果不够,被访问的那个数据块将被当作冻结块,进入步骤5);

[0015] 5) 检查冻结块的标签中的标记位,如果它是净(clean)数据,控制器将冻结块的标签中有效数据(valid)位设为无效,并且返回控制器一个失效数据(miss),使请求可以继续向下一级存储发起数据请求;如果是脏(dirty)数据,控制器将会被阻塞,以等待下一个程序运行区间的开始。

[0016] 其中,在步骤1)中,散热区域是等温体的一片区域,芯片里通常是一个解码阵列。按照数据块的比特数分配在k个赛道存储条上,每一个比特分配在一个赛道存储条上。根据导热的速度和产热间隔进行计算 $\beta$ 。

[0017] 在步骤2)中,控制器是控制赛道存储器操作的逻辑控制单元。配额定义为在一个程序运行区间内可以移动的总步数;一个域移动到相邻的域为一步。当配额用尽,除非进入下一个程序运行区间,不能再有更多的移动操作被执行。

[0018] 为控制温度上升不超过合理范围(20摄氏度), $\alpha$ 和 $\beta$ 乘积应不大于 $1/40$ ,以保证热稳定性。一个程序运行区间内可以移动的最大步数(配额)可以表示为 $\alpha$ 乘以程序运行区间的长度与移动一步的时间开销的比值。

[0019] 配额分成两种:净数据配额和脏数据配额。一个访问净数据的请求只能使用净数据配额,而访问脏数据的请求优先使用脏数据配额,在脏数据配额不够时可以使用净数据配额。净数据配额和脏数据配额的总和与之前的移动配额相同,保证了对温度控制的一致性。为表述简单,定义脏数据配额和总配额的比值为 $\gamma$ 。 $\gamma$ 为1时,净数据配额为0,因此所有访问净数据的请求都不能执行移动操作;而当 $\gamma$ 为0时,脏数据配额为0,优化方法退化为简单方法。

[0020] 本发明在一个程序运行区间内设置移动配额,从而从时间上进行热点分散;并且,将一个数据块存储在互不相邻的多个赛道存储条上,从空间上进行热点分散。

[0021] 本发明的优点:

[0022] 本发明提供了一套赛道存储器因为移动操作而导致温度上升的控制方法;综合考虑了时间、空间上的热点分散的方法,可以尽最大可能的减小芯片的温度升高;模拟显示,本发明的方法导致的性能损失平均只有5%。

## 附图说明

[0023] 图1为本发明的基于配额控制温度的赛道存储芯片的示意图;

[0024] 图2为本发明的基于配额控制温度的赛道存储芯片的一个数据块的存储方式的示意图,其中,(a)为没有采用热点分散方式的示意图,(b)为采用热点分散方式的示意图;

[0025] 图3为本发明的基于配额控制温度的赛道存储芯片的温度控制方法的流程图。

## 具体实施方式

[0026] 下面结合附图,通过实施例对本发明做进一步说明。

[0027] 如图1所示,本实施例的基于配额控制温度的赛道存储芯片包括:衬底1、赛道存储条2、填充层3和散热装置4;其中,在衬底1上生长多条平行的纳米线作为赛道存储条2;在纳米线的间隙及上面形成填充层3;在二氧化硅上设置散热装置4。在衬底1采用单晶硅上形成二氧化硅,下面依次为封装环境基底01和PCB板02;纳米线2采用 $\text{Co}_{20}\text{Fe}_{60}\text{B}_{20}$ 纳米线填充层3采用无定形态的二氧化硅;填充层3与散热装置4之间为散热硅胶。

[0028] 赛道存储芯片是一个物理概念,赛道存储器是它的逻辑概念。

[0029] 工作状态时赛道存储条的热量主要是由纳米线内部推动磁畴壁移动的电脉冲在焦耳热效应下而产生的,热量在使得纳米线升温的同时,经过上层的填充层及下层的衬底进行扩散,进而由芯片外层与散热片之间的热交换作用,最终把热量导出到外界。

[0030] 赛道存储条上可以存储多个比特,但是将同一个数据块的所有比特存储在一个赛道存储条上并不高效。因为这将导致赛道存储条多次移动和访问。一种比较常见的高效数据映射方式是将一个数据块分散在多个赛道存储条上,多个赛道存储条同时移动,从而并行读取数据。然而,将这些赛道存储条相邻放置会导致局部热点,因为单位面积内发热的磁条越少,则纳米线层温度上升越少。因此,将映射了同一个数据块的赛道存储条在存储阵列中分别放置,可以增大散热面积,减少温度升高,如图2所示。将单位面积内同一个数据块所占的磁条数和区域内的总磁条数的比作为 $\beta$ 。根据芯片的导热系数计算,能够视作同一个散热区域的面积仅能容纳8个磁条。因此,将 $\beta$ 设置为1/8。根据导热的速度和产热间隔进行计算 $\beta$ ,不同情况下都不相同,这里将 $\beta$ 简化为同一个簇中最近的两个赛道存储条的间距+1的倒数。

[0031] 为实现本发明的控制方法,本实施例将赛道存储器作为CPU中的末级高速缓存,该级存储通常为组相连(set-associative),每个数据块包含标签和数据两部分。一个组(set)中的所有数据共享组地址,而以标签加以区分。通常,末级高速缓存的访问是先比较标签,命中后再访问数据。当一个请求到达缓存控制器时,请求根据它访问的地址进行解码,从而被送到对应的组。组内多个标签进行比较判定是否发生命中。同时,被命中的数据

需要检查有效性 (validity) 和一致性 (coherence) 状态。本发明的数据存储保证标签的访问并不需要移动操作, 因此, 比较标签不涉及移动操作。如果访问命中在一个有效信息上, 存储数据的赛道存储条将被移动到指定位置, 继而相应数据被执行相应的读写操作。此时, 如果移动和读写操作能够顺利完成, 缓存执行这一条请求结束, 并能够为下一条请求服务。如果结果是未命中 (miss) 或者是数据无效 (invalid), 请求将被发向下一级存储 (此处为主存), 缓存有可能会阻塞后续的请求, 直到这条请求在下一级存储完成。缓存控制器控制赛道存储器的读取操作。

[0032] 本实施例的基于配额控制温度的赛道存储芯片的温度控制方法, 包括以下步骤:

[0033] 1) 一个32比特的数据块分散在32个赛道存储条上的域序列中的序列号相同的域上进行存储, 并且这32个赛道存储条互不相邻, 根据芯片的导热系数计算, 得到散热区域的面积所能容纳的存储赛道条的个数为8, 则单位面积内同一个数据块所占的赛道存储条的个数与散热区域内的总赛道存储条的个数的比为1/8。

[0034] 2) 在一个程序运行区间开始时, 缓存控制器设置在一个程序运行区间内能够移动的步数设定移动配额, 配额与程序运行区间的比值为 $\alpha$ ; 配额分成两种: 净数据配额和脏数据配额, 定义脏数据配额和总配额的比值为 $\gamma$ 。

[0035] 3) 当一个访问数据块的请求到达缓存时, 请求根据访问的地址进行解码, 得到请求访问地址解码的域坐标, 从而被送到对应的组, 组内多个标签进行比较判定是否发生命中, 被命中的数据需要检查有效性和一致性状态; 如果访问命中在一个有效信息上, 则进入步骤4), 如果结果是未命中 (miss) 或者是数据无效 (invalid), 请求将被发向下一级存储 (此处为主存), 缓存有可能会阻塞后续的请求, 直到这条请求在下一级存储完成。

[0036] 4) 每一个存储条簇都有一个端口位置寄存器用来指示访问端口与存储条簇所在的域序列的相对位置, 通过比较端口位置寄存器的数值和请求访问地址解码的域坐标, 得出需要移动的距离。

[0037] 5) 缓存控制器从剩余的配额中减去移动的配额开销, 如果配额足够, 存储条簇所在的多个赛道存储条并行移动可以执行读取数据块; 如果不够, 被访问的那个数据块将被当作冻结块, 进入步骤6)。

[0038] 6) 检查冻结块的标签中的标记位, 如果它是净数据, 缓存控制器将冻结块的标签中有效数据 (valid) 位设为无效, 并且返回缓存控制器一个失效数据 (miss), 使请求可以继续向下一级存储发起数据请求; 如果是脏数据, 缓存控制器将会被阻塞, 以等待下一个区间的开始。

[0039] 最后需要注意的是, 公布实施方式的目的旨在帮助进一步理解本发明, 但是本领域的技术人员可以理解: 在不脱离本发明及所附的权利要求的精神和范围内, 各种替换和修改都是可能的。因此, 本发明不应局限于实施例所公开的内容, 本发明要求保护的范围以权利要求书界定的范围为准。

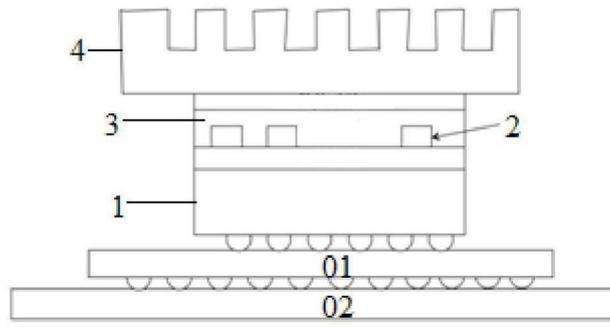


图1

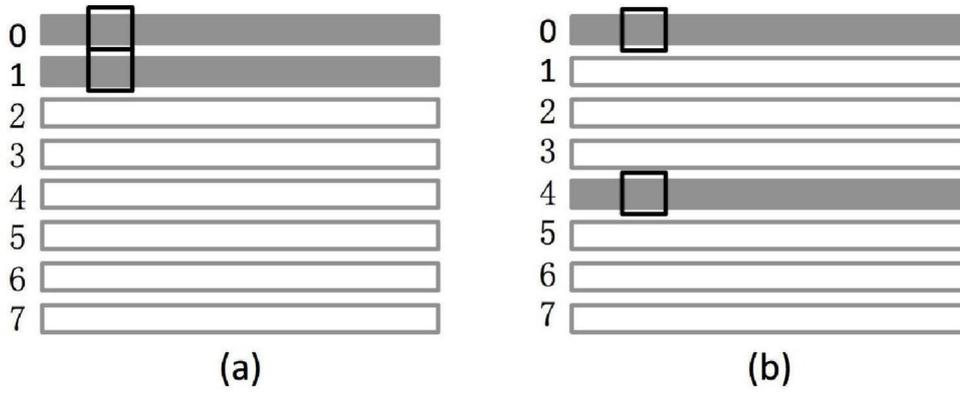


图2

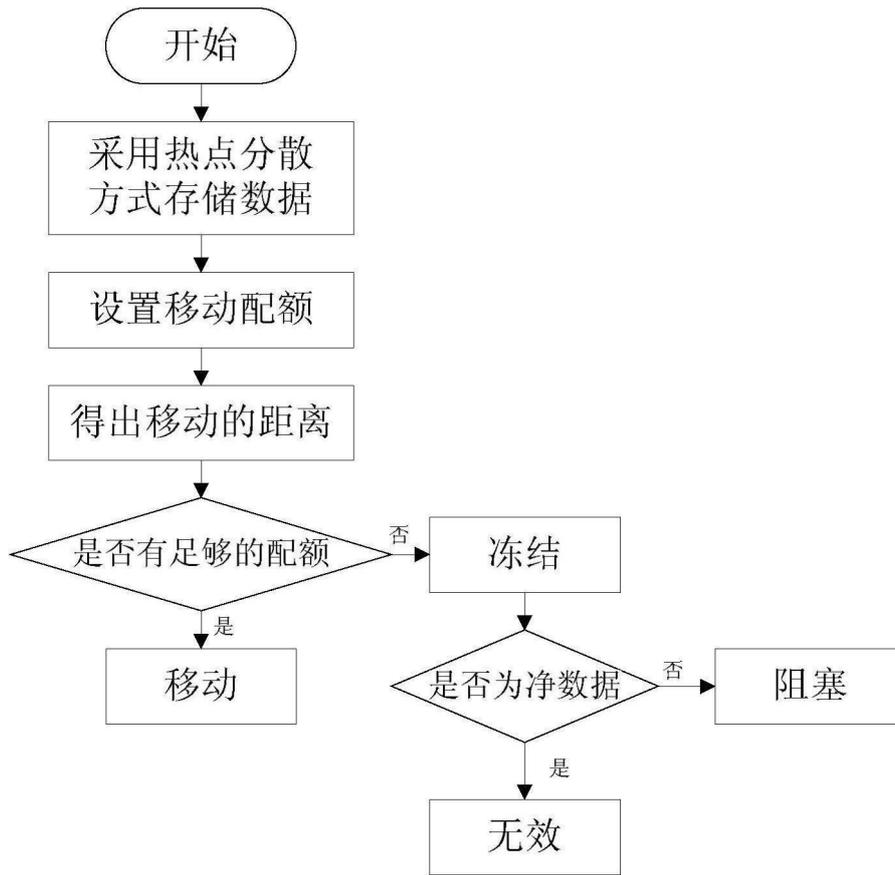


图3