基于新型非易失存储的存储结构

关键词:新型存储 存储结构 高能效 高可靠性

新型存储器件为存储 结构带来契机和挑战

计算机系统的性能依赖于 两种能力:微体系结构处理数据 的计算能力和整个存储层次将数 据输送给处理器的能力。受制 造工艺的影响,微体系结构与存 储层次之间一直存在着差距。近 年来,随着处理器的多核、多线 程技术的广泛使用,大幅度提升 的计算能力和增长相对缓慢的存 储系统性能使得这一差距变得更 大了。因此,存储结构对计算机 系统整体性能的制约(即"存储 墙"问题)也越来越大,主要表 现在三个方面:(1)单个芯片上 集成处理单元(核)的数目不断 增长,需要将更多的数据及时输 送到片上来匹配处理器的计算能 力,对片上存储的容量需求也相 应增加。但是,传统的静态随机 存取存储器 (static random access memory, SRAM) 工艺的存储密度 限制了片上存储容量的增长。(2) 功耗问题已经成为计算机系统的 重要考虑因素之一, 而传统的 SRAM/ DRAM (dynamic random access memory, 动态随机存取存 储器)工艺静态功耗较高的问题 严重阻碍了存储层次的发展。(3) 传统的 SRAM/DRAM 工艺对粒 子和射线撞击产生的软错误问题 没有抵抗能力, 与之相关的纠错 电路进一步限制了存储容量的增 加并引起了更多的功耗。

新型存储器件包括:自旋矩 传输磁存储器 (spin-torque transfer RAM, STT-RAM)、相变存储 器 (phase-change memory, PCM) 和电阻式存储器 (resistive random access memory, RRAM) 等。它们 具备一个共同特点:非易失性, 也被统称为新型非易失存储器 (nonvolatile memory, NVM)。与 传统的 SRAM/DRAM 工艺相比, 它们具有高存储密度、低静态功 耗、对粒子及射线撞击产生的软 错误具有抵抗能力的优点。然而 新型非易失存储器也存在读写性 能不对称、寿命有限、可靠性不 高等问题,例如,自旋矩传输磁 存储器虽然能提供比传统 SRAM 更高的集成度和极低的静态能 耗,却存在写延迟较高的问题; 相变存储器虽然能提供比传统 孙广宇 王 鹏 张 超 北京大学

DRAM 更高的可扩展性,却存在 写次数有限、读写性能不对称等 问题。如何有效地使用新型存储 器件进行存储结构设计,需要解 决的问题包括:(1)如何在各个 存储层次选择合适的新型存储器 件?(2)如何改进当前的存储结 构来适应新型存储器件?(3)能 否结合不同存储器件的特性,实 现扬长避短?

新型非易失存储器

自旋矩传输磁存储器 利 用磁隧穿结 (magnetic tunnel junction, MTJ)存储数据。在磁隧穿 结中, 隧穿绝缘体薄层置于两层 强磁性介质中。自旋矩传输磁存 储器通过自旋转移力矩对两层强 磁性介质的磁场方向的改变, 使 得磁隧穿结表现出不同的阻值状 态来进行数据存储。它具有访问 速度快、优秀的耐久性、静态 功耗低的优点,同时也表现出 良好的工艺可扩展性。Everspin, Grandis 和日本电气 (NEC) 等公 司已经成功展示了自旋矩传输磁 存储器的商业化产品。

相变存储器 基于硫属化物材料的存储器工艺。它利用硫属化物材料在"无定形相(高阻态)"和"结晶相(低阻态)"两



图1 新型存储器件

种状态间阻值的变化进行数据存 储。相变存储器具备与DRAM 媲美的存储密度、互补金属氧化 物半导体 (complementary metaloxide-semiconductor transistor, CMOS)兼容性、访问速度快、 耐久性较好等优点。相变材料在 当今 CMOS 生产工艺下表现出 优秀的工艺可扩展性,这意味着 存储器单位面积的存储密度可以 随着工艺不断提高。近年来,日 立、三星、意法半导体 (STMicroeletronics)、恒忆 (Numonyx) 和 英特尔等公司推出了许多相变存 储器的电路原型样品。

电阻式存储器 通常指利 用阻值变化进行数据存储工艺的 存储器。按照阻值变化机制,分 为空间电荷限制电流(SCLC)、 丝状(filament)、可编程镀金属单 元(PMC)等;从设计角度又分为 单极翻转和双极反转两大类型。 许多知名公司诸如富士通、夏 普、惠普实验室、微电子研究中 心(IMEC)、Unity等已经参与到 电阻式存储器工艺的开发中,并 忆阻器和横梁结构的电阻式存储 器芯片。

展示了高达 64GB 存储容量的电

阻式存储器芯片原型。最近, 惠

普实验室和海力士半导体公司

(Hynix)正致力于合作开发基于

基于新型非易失存储 器的高能效、高可靠 性存储结构

虽然新型非易失存储器的存 储密度较高、静态功耗极低,在 提高存储层次性能和减少静态功 耗方面具备天然的优势,但是由 于改变存储器件状态需要的延时 和能量都比较高,使得其在写操 作性能和功耗方面处于劣势。同 时,采用新型存储器件后也引入 了新的问题,比如相变存储器的 寿命和安全性隐患。

基于自旋矩传输磁存储 器的片上缓存结构

缓存作为片上存储对访问速 度有较高的要求,传统存储层次 中通常采用 SRAM 工艺制造缓 存。与 SRAM 相比,自旋矩传输 磁存储器具备相近的读取速度, 但存储密度是 SRAM 的4倍左 右。表1对基于 SRAM 和自旋 矩传输磁存储器的二级缓存的各 项参数进行了定量对比^[11]。从中 可以看出自旋矩传输磁存储器具 备替换 SRAM 的潜力。

最近几年,许多研究者提出 在系统的各级缓存中使用自旋矩 传输磁存储器来替换 SRAM^[2-4]。 这些研究包括:(1)因受益于自 旋矩传输磁存储器的高存储密 度,缓存的容量得以显著提升, 从而提高缓存的命中率,进而提 升系统的性能;同时,可以明显 减少缓存的静态功耗,也减少整 个存储层次的功耗。(2) 写操作 的延时和能量都是 SRAM 相应

表1	SRAM和	自	旋矩传轴	俞磁存储	器属	性对比[1
----	-------	---	------	------	----	-------

	SRAM	自旋矩传输磁存储器
面积 (65 nm)	3.66 mm ²	3.30 mm ²
容量	128 KB	512 KB
读延时	2.25 ns	2.32 ns
写延时	2.26 ns	11.02 ns
读能耗	0.90 nJ	0.86 nJ
写能耗	0.80 nJ	5.00 nJ
漏电功耗	2.09 W/16存储体	0.26 W/16存储体

操作的数倍以上,对于写操作强 度较大的应用程序,虽然使用自 旋矩传输磁存储器可以增大缓存 容量,但缓存性能反而会下降; 同时,对于这类应用程序,动态 写功耗的增加也非常显著。因此, 它的缓存设计的关键问题是减 少写操作带来的对性能及功耗 的负面影响。为解决这一问题, 研究人员在体系结构层次提出了 多种优化技术,包括以下几类。

减少"有效"写入操作的 优化技术"有效"写入是指对 缓存的性能(功耗)产生实际 影响的写入操作。第一种关键 技术是通过对上层缓存替换策略 进行优化,从而减少写入操作的 总体数量⁽⁴⁾。例如:如果使用自 旋矩传输磁存储器作为三级缓存 (L3 cache),当发生二级缓存 (L2 cache)替换时,可以优先选择未 修改的缓存块 (clean cache block) 进行替换。但该技术可能会降低 二级缓存的命中率。因此,可以 进一步将未修改和已修改过的缓 存块分别进行替换管理,来达到 各级缓存间优化的平衡,从而 实现总体效率最高。另一种关 键技术是合理选择写入操作的 时机,从而降低写操作对性能 的影响。优化写缓冲是其中的 典型技术¹¹¹。当写操作被置于写 缓冲中并开始写入缓存时,后续 读操作可以根据写操作的完成情 况,合理选择"取消"或"等待" 写操作。使用这项技术能够有效 降低长时间的写操作对关键路径 上读操作的影响。

基于 SRAM 和自旋矩传输 磁存储器的混合缓存技术 该 技术的出发点是同时利用 SRAM 写入操作快和自旋矩传输磁存储 器密度高、静态功耗低的优点。 基本思路是按照适当的比例选择 SRAM 和自旋矩传输磁存储器, 并根据数据的访问特性进行合理 的数据存放分配^[15,6]。通常采用的 方式是大量自旋矩传输磁存储器 结合少量 SRAM,如 32:1或者 16:1等^[1]。对于数据存放的分配, 基本原则是将写入操作较多的数 据置于 SRAM 中,而将读取操作 较多的数据置于自旋矩传输磁存 储器中。数据分配的管理可以由 硬件缓存控制器控制^[1,6],也可以 通过软件层的编译器进行指导^[5]。 图 2 是一个硬件控制器分配流程 的实例^[5],在分配过程中根据每 种数据的属性和特点,如是否预 取、是否命中,采用合适的分配 策略。基于硬件的分配技术的特 点是简单、通用;而基于编译器 的分配策略需要对程序代码或数 据访问模式进行事先分析,不过 能够达到较高的分配效率。

基于自旋矩传输磁存储器 器件特性的结构优化技术 主 要是利用自旋矩传输磁存储器的 底层特性对缓存的性能、功耗进 行优化。针对它的缓存写操作问 题,通过牺牲该类存储器的非易 失性来减少写操作的延时和相应 能量,从而提高其缓存的能效。 孙振宇(Zhenyu Sun,音译)等 人基于相同的模型,提出了在不



图2 混合缓存数据分配流程示意图[6]

同的缓存层同时使用"易失"和 "非易失"的自旋矩传输磁存储 器^[3]。这种技术首先利用了前面 所述的混合存储的优势,而且为 了防止缓存中数据的丢失,还使 用面向易失性自旋矩传输磁存储 器缓存的数据刷新技术,在不同 层次进行相应的结构优化。还有 一种技术是利用自旋矩传输磁存 储器写操作对不同的写入值具备 不对称的特性来实现的。简单来 讲,在工艺扰动的情况下,对同 一单元写入比特"1"和比特"0" 所需延时和能量的差距可以达 到3倍甚至更高^[2]。研究人员据 此提出一种基于日志的写操作方 式:基本思路是将写入比特"1" 和比特"0"的操作分开,将延 时较高的写"1"操作置于后台 进行,实际数据写入时只存在写 "0"操作。因此,实际数据的写 入时间显著缩短,从而提高性能, 并通过数据翻转技术减少功耗^[2]。

通过上述几种优化技术,自 旋矩传输磁存储器写操作的高延 时高功耗问题可以得到显著缓 解,其缓存能效提高30%以上。 此外,研究人员还针对非易失存 储器缓存的特性提出了其他多样 化的优化技术。例如:根据工艺 扰动对读-写操作影响的不同进 行缓存替换策略的优化等,使用 相变存储器同样可以替换 SRAM 进行低阶缓存设计等。

基于相变存储器的主存 结构

传统主存的 DRAM 工艺也

存在静态功耗较高的问题,因此 研究人员提出使用相变存储器来 代替 DRAM 工艺。表 2 对基于 一步提高主存的存储密度,但是, 其写操作的高延时和能耗问题更 加严重。因此,研究人员提出了

表2 DRAM和相变存储器属性对比¹⁸

	DRAM	相变存储器
单元大小	6~8 F ²	$4 F^2$
访问延时	预充时间(tRCD, tRP)等较慢	预充时间(tRCD, tRP)等较快
读能耗	1.17 pJ/位	2.47 pJ/位
写能耗	0.39 pJ/位	16.82 pJ/位
写循环次数	10 ¹⁵	10 ⁸

DRAM 和相变存储器的主存的部 分参数进行了对比。可以看出, 虽然相变存储器可以显著减少主 存的静态功耗,但其写操作同样 存在高能耗和高延时的问题; 更重要的是,相变存储器的擦写 次数有限且低于 DRAM,因此需 要考虑其主存寿命的问题;同 时,其非易失特性也给主存带来 了**潜在的安全问题**。

相变存储器主存延时和能 耗优化技术 2009年,研究人 员首次提出采用相变存储器代替 DRAM 进行主存设计^[8~10],并提 出了两种简单有效的优化方法。 一种是用 DRAM 作为相变存储 器的缓冲减少对相变存储器的写 操作;另一种是采用部分写策略, 只将修改过的数据写入。这两种 方法对于改善相变存储器主存系 统的性能有明显的效果。同样, 考虑到同时利用相变存储器和 DRAM 的优势,相应的混合主存 结构也受到关注,基本思路与混 合缓存相同。近期研究表明,多 比特相变存储器存储单元可以进 大量的结构优化设计:通过多比 特与单比特相变存储器单元相结 合的方法在性能和容量之间寻求 优化平衡;通过多级的写入及比 较的方法,能够有效地提高"写 操作"的能效;通过数据的选择 性组合,可以提高相变存储器数 据写操作的带宽;通过类似于自 旋矩传输磁存储器缓存中使用的 写暂停优化技术,来提高相变存 储器写性能等^[11,12]。

相变存储器主存寿命优 化技术 由于受到擦写次数 (10⁶~10⁸)的限制,相变存储器主存 寿命有限。因此,研究人员提出 多种提高其寿命的优化技术^[8~10], 这些技术主要分为两类:(1)减 少写入量优化技术。一个简单有 效的方法是将写入数据与更新数 据按比特位进行比较,只修改存 在差异(更新)的比特位;随后, 研究人员提出,可以通过翻转再 写入(flip-N-write)的技术,减少 需要更新的比特位总数,这两项 技术可以将更新量减少 80% 以 上。另一种常见的方法是通过数

据编码技术减少数据更新量^[13]。 例如,可以选取常用的数据在 写入前进行压缩或者使用 WoMcode 的数据编码^[13],从而有效地 减少数据写入比特数。(2) 磨损 平衡优化技术。由于主存不同地 址间的更新频率存在较大差异, 导致部分相变存储器主存磨损 (wear) 过快,因此主存级的磨损 平衡技术应运而生。根据磨损平 衡的粒度可分为内存行 (memory line)内部、内存行之间和分段级 别三种磨损平衡。不论何种粒度, 基本思路都是将数据在不同内存 地址中进行轮转交换,从而达到 写入强度平均分配的目的。根据 轮转采取的映射方式的不同,还 可以将磨损平衡分为基于表映射 的磨损平衡^[9,10]和代数式映射的 磨损平衡^[14,15]。第一种方法类似 于闪存固态硬盘中磨损平衡的思 路,需要建立一个逻辑地址到物 理地址映射的关系表,根据磨损 情况随时调整映射关系:第二种 方法是通过事先确定的代数公式 来计算轮转的映射调换顺序。

另外, 纠错编码技术也能适 当地减少失效的相变存储器存储 单元带来的影响。但失效存储单 元也可能在相变存储器制造过程 中产生, 即从未使用过(无磨损) 的相变存储器主存也会存在失效 的存储单元。

相变存储器主存安全性优 化技术 相变存储器的非易失 特性会给主存带来潜在的安全 问题。在相变存储器主存断电以 后,数据被保留在其中。如果恶 意攻击者能够从物理上获得这 块主存,并将其移植到相同的 计算机系统中,利用扫描的方法 就能获得其中的隐私信息。恰 布拉 (Chhabra) 等人提出运用高 级加密标准 (advanced encryption standard, AES) 办法来应对这个问 题^[16]。但是这种加密方式有两个 缺点:(1)延时、功耗等设计代 价较高:(2)数据弥散性质会增 加对相变存储器的写操作次数, 减少其寿命。另外一种基于 sub-PAD 的加密技术能够有效解决高 级加密标准方法的问题^[17]。该技 术的核心思想是将用于生成密文 的 sub-PAD 存放于少量的易失性 存储中,并通过重用前文的磨损

是,除了相变存储器以外,恩靳·伊 珮珂(Engin Ipek)等人提出电阻式 存储器可以作为一种 DRAM 的替 代品,并在结构层次上提出了数 据复制等优化策略^[18]。

基于非易失存储器的外 存结构

NAND 闪存作为一种广为人 知的非易失存储器,已经被广泛 使用于固态硬盘外存设计中。相 变存储器作为一种新型非易失存 储器,同样具备作为外存设计的 潜质。

基于 NAND 闪存和相变 存储器的混合外存 表 3 对比 了当今相变存储器与 NAND 闪

表3 相变存储器与NAND闪存属性对比[19]

	NAND 闪存	相变存储器
单元大小	4 F ²	$4 F^2$
读延时	284 µs/4KB	80 ns/字
写延时	1833 µs/4KB	10 µs/字
擦除延时	>20 ms/单元	无
读能耗	9.5 µJ/4KB	0.05 nJ/字
写能耗	76.1 μJ/4KB	0.094 nJ/字
擦除能耗	16.5 μJ/4KB	无
写循环次数	105	108
价格	低	吉同

平衡来提高加密的安全性。该加 密方法延时代价非常小,平均不 到1%,而且不会引入额外的写 入操作。

通过上述几方面的技术, 可使相变存储器主存达到接近 DRAM 主存的性能,并且能够显 著降低主存的功耗。值得一提的 存工艺。相变存储器的能效和寿 命都要优于 NAND 闪存,并且 具备更细粒度的访问尺度,但 是由于其工艺不如闪存成熟,尚 难以完全替代闪存。在早期设计 中,由于受到工艺的限制,相变 存储器的存储容量比较小,因此 相变存储器仅被用于存储固态硬

中國計算機學會通訊 第10卷 第4期 2014年4月

盘的元数据部分。目前研究人员 提出使用相变存储器作为闪存固 态硬盘的日志部分:在混合外存 中,一部分存储单元由 NAND 闪存构成,主要负责存储数据部 分:另一部分由相变存储器构成, 负责存储数据的更新日志。每一 个擦写单元会分配相应的相变存 储器作为其日志部分。该结构的 关键是如何对数据部分的闪存和 日志部分的相变存储器进行分 配。根据需求,可以采用两类不 同的分配方法:(1)平均静态分 配,按照擦写单元分配固定的相 变存储器日志份额。该方法简单 易行,缺点是可能造成相变存储 器使用率不平均。(2)动态分配, 根据擦写单元的使用情况进行按 需动态调整。该方法使用效率较 高,但是其设计复杂度也高。实 验结果表明, 该混合外存能够有 效提高固态硬盘的性能、减少功 耗、延长使用寿命。

针对高性能非易失存储器 外存的系统优化技术 研究人员指出,现有的为低速外存设计 的软件限制了非易失存储器高速 外存输入/输出(input/output,I/O) 性能的发挥,其中操作系统的输入/输出栈所带来的开销已经超 过了访问硬件所用的时间。因此, 需要在软件和硬件方面进行优 化。Moneta 是一个模拟未来高性 能存储的原型系统。在软件方面, Moneta 改造了针对磁盘输入/输 出而优化的输入/输出调度器, 去掉了阻碍提高输入/输出并发 度的锁,使用了"忙等待"来代



图3 高性能非易失存储器外存 Moneta系统示意图^[20]

替中断;在硬件方面, Moneta 增加了硬件队列用以提高读写带 宽,改善了大小请求间的公平性。 实验表明, Moneta 4K 随机写的 吞吐率达到当时基于闪存的固态 硬盘的 8 倍,512 字节写的访问 延时比固态硬盘快 5.6 倍^[20]。随 后,研究人员提出了高性能、可 拓展的 NV-Heaps 系统,它能把 内存中的各种数据结构(如二叉 搜索树、哈希表、稀疏图和数组) 持久存储到高速、可字节寻址的 非易失存储器上,从而允许程序 员在高速的非易失存储器上创建 健壮的持久化数据结构^[21]。

结语

自旋矩传输磁存储器、相变 存储器等新型存储器件具有高密 度、低静态功耗等优点,并具备 替代传统 SRAM/DRAM/闪存的 潜力。我们可以让各个存储层次 选择合适的新型存储器件进行替 换。但是由于受到工艺和器件等 条件的限制,它们也有各自的缺 点。本文分别在不同层次提出相 应的结构优化设计,从而可以有 效提高存储层次的能效和安全可 靠性。同时,我们观察到,通过 组合不同的存储工艺,可以达到 扬长避短的效果。■



孙广宇

CCF会员。北京大 学助理教授。主要 研究方向为计算机 体系结构和存储系 统。gsun@pku.edu.cn



王 鹏

CCF学生会员。北京大学博士生。主要研究方向为面向数据中心的存储技术与系统。wang_peng@pku.edu.cn



张超

CCF学生会员。北京 大学博士生。主要 研究方向为新型存 储、高能效存储体 系结构。zhang.chao@ pku.edu.cn



[1] G. Sun, X. Dong, Y. Xie, J. Li, and Y. Chen, A novel architecture of the 3D stacked MRAM L2 cache for CMPs, in High Performance Computer Architecture, 2009. HPCA 2009. IEEE 15th International Symposium on HPCA, 2009, 239~249.

[2] G. Sun, Y. Zhang, Y. Wang, and Y.

Chen, Improving energy efficiency of write-asymmetric memories by log style write, in Proceedings of the 2012 ACM/IEEE International Symposium on Low Power Electronics and Design (ISLPED), 2012, 173~178.

- [3] Z. Sun, X. Bi, H. H. Li, W.-F. Wong, Z.-L. Ong, X. Zhu, and W. Wu, Multi retention level STT-RAM cache designs with a dynamic refresh scheme, in Proceedings of the 44th Annual IEEE/ACM International Symposium on Microarchitecture, 2011, 329~338.
- [4] P. Zhou, B. Zhao, J. Yang, and Y. Zhang, Energy reduction for STT-RAM using early write termination, in Computer-Aided Design-Digest of Technical Papers, 2009. ICCAD 2009. IEEE/ACM International Conference on, 2009, 264~268.
- [5] Q. Li, J. Li, L. Shi, M. Zhao, C. J. Xue, and Y. He, Compiler-Assisted STT-RAM-Based Hybrid Cache for Energy Efficient Embedded Systems, Very Large Scale Integration (VLSI) Systems, IEEE Transactions on, vol. PP, 1-1, 2013.
- [6] Z. Wang, D. A. Jimenez, C. Xu, G. Sun, and Y. Xie, Adaptive Placement and Migration Policy for an STT-RAM-Based Hybrid Cache, in High Performance Computer Architecture (HPCA), 2014 IEEE 20th International Symposium on, 2014.
- [7] X. Wu, J. Li, L. Zhang, E. Speight, R. Rajamony, and Y. Xie, Hybrid cache architecture with disparate memory technologies, in Proceedings of the 36th annual International Symposium on Computer Architecture (ISCA), 2009, 34~45.
- [8] B. C. Lee, E. Ipek, O. Mutlu, and D. Burger, Architecting phase

change memory as a scalable dram alternative, presented at the Proceedings of the 36th annual International Symposium on Computer Architecture (ISCA), 2009.

- [9] P. Zhou, B. Zhao, J. Yang, and Y. Zhang, A durable and energy efficient main memory using phase change memory technology, in Proceedings of the 36th annual International Symposium on Computer Architecture (ISCA), 2009, 14~23.
- [10]M. K. Qureshi, V. Srinivasan, and J. A. Rivers, Scalable high performance main memory system using phase-change memory technology, presented at the Proceedings of the 36th annual International Symposium on Computer Architecture (ISCA), 2009.
- [11]M. Joshi, W. Zhang, and T. Li, Mercury: A fast and energyefficient multi-level cell based phase change memory system, in High Performance Computer Architecture (HPCA), 2011 IEEE 17th International Symposium on, 2011, 345~356.
- [12]M. K. Qureshi, M. M. Franceschini, and L. A. Lastras-Montaño, Improving read performance of phase change memories via write cancellation and write pausing, in High Performance Computer Architecture (HPCA), 2010 IEEE 16th International Symposium on, 2010, 1~11.
- [13]A. N. Jacobvitz, R. Calderbank, and D. J. Sorin, Coset coding to extend the lifetime of memory, in High Performance Computer Architecture (HPCA2013), 2013 IEEE 19th International Symposium on, 2013, 222~233.
- [14]M. K. Qureshi, J. Karidis, M. Franceschini, V. Srinivasan, L.

Lastras, and B. Abali, Enhancing lifetime and security of pcmbased main memory with startgap wear leveling, in Proceedings of the 42nd Annual IEEE/ACM International Symposium on Microarchitecture (MICRO), 2009, 14~23.

- [15]N. H. Seong, D. H. Woo, and H.-H. S. Lee, Security refresh: prevent malicious wear-out and increase durability for phasechange memory with dynamically randomized address mapping, in Proceedings of the 37th annual International Symposium on Computer Architecture (ISCA), 2010, 383~394.
- [16]S. Chhabra and D. Solihin, i-NVMM: a secure non-volatile main memory system with incremental encryption, in Computer Architecture (ISCA), 2011 38th Annual International Symposium on, 2011, 177~188.
- [17]X. Zhang, C. Zhang, G. Sun, J. Di, and T. Zhang, An efficient run-time encryption scheme for non-volatile main memory, in Compilers, Architecture and Synthesis for Embedded Systems (CASES), 2013 International Conference on, 2013, 1-10.
- [18]E. Ipek, J. Condit, E. B. Nightingale, D. Burger, and T. Moscibroda, Dynamically replicated memory: building reliable systems from nanoscale resistive memories, in Proceedings of the 15th International Conference on Architectural Support for Programming Languages and Operating Systems (ASPLOS), 2010, 3~14.
- [19]G. Sun, Y. Joo, Y. Chen, D. Niu, Y. Xie, Y. Chen, and H. Li, A Hybrid solid-state storage architecture for the performance, energy consumption, and lifetime

improvement, in High Performance Computer Architecture (HPCA), 2010 IEEE 16th International Symposium on, 2010, 1~12.

- [20]A. M. Caulfield, A. De, J. Coburn, T. I. Mollow, R. K. Gupta, and S. Swanson, Moneta: A highperformance storage array architecture for next-generation, non-volatile memories, in Proceedings of the 2010 43rd Annual IEEE/ACM International Symposium on Microarchitecture (MICRO), 2010, 385~395.
- [21]J. Coburn, A. M. Caulfield, A. Akel, L. M. Grupp, R. K. Gupta, R. Jhala, and S. Swanson, NV-Heaps: making persistent objects fast and safe with next-generation, nonvolatile memories, in Proceedings of the sixteenth international conference on Architectural Support for Programming Languages and Operating Systems (ASPLOS), 2011, 105~118.